

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-119814

(43)Date of publication of application : 30.04.1999

(51)Int.Cl.

G05B 19/05

G05B 15/02

G05B 19/02

(21)Application number : 09-288300

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 21.10.1997

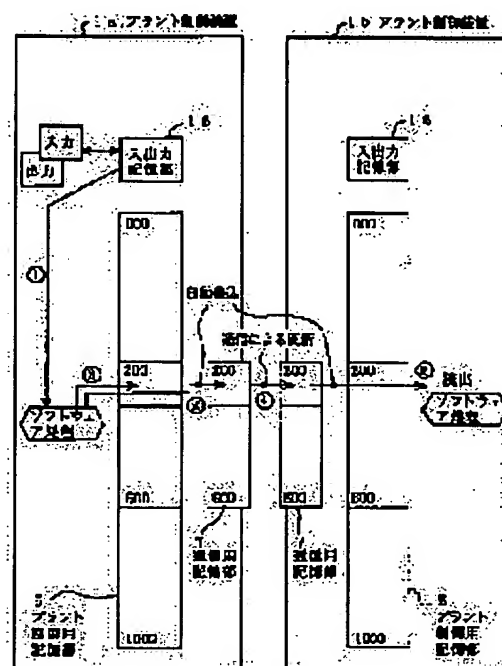
(72)Inventor : TAKAHASHI TOSHIHIDE

(54) PLANT CONTROL SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the processing ability by realizing sharing of addresses and a direct writing and direct reading to and from a storage part for communications to necessary data to be communicated.

SOLUTION: Addresses corresponding to data requiring a communications between plant control devices 1a and 1b is shared by a plant control storage part 5 and a communication storage part 7 (addresses 200 to 600). When the plant control device 1a performs a software processing, it reads data out from an input/output storage part 16 (1), and simultaneously writes the processing result of the software processing to the same address common to the plant control storage part 5 and the communication storage part 7 (2). Data written in to the communication storage part 7 are written to the communication storage part 7 of the plant control device 1b by a communication function and, when this written data are used for the software processing, they can directly be read out not by way of the plant control storage part 5.



LEGAL STATUS

[Date of request for examination]

04.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3595131

[Date of registration]

10.09.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項1】 計算機能を有する複数のブラント制御装置を通信ラインにより接続したブラント制御システムにおいて、上記各ブラント制御装置は主メモリと上記通信ラインを介してデータの授受を行うための通信用メモリとを設けて、上記全てのブラント制御装置の主メモリと通信用メモリに共通する第1の共通アドレス領域を設定すると共に、上記第1の共通アドレスを有するデータを上記主メモリに書き込む際に、上記主メモリと上記通信用メモリの上記第1の共通アドレスに同時に書き込む第1の書込手段と、上記通信用メモリに書き込まれたデータを他のブラント制御システムの通信用メモリの上記第1の共通アドレスに書き込む第1の通信手段と、他のブラント制御システムが自己の通信用メモリに書き込まれたデータを必要とするときに、自己の主メモリを介することなく直接上記自己の通信用メモリの上記第1の共通アドレスから読み出す第1の読出手段を備えたことを特徴とするブラント制御システム。

【請求項2】 計算機能を有する複数のブラント制御装置を通信ラインにより接続したブラント制御システムにおいて、上記各ブラント制御装置はブラントの入出力信号を格納する入出力メモリと上記通信ラインを介してデータの授受を行うための通信用メモリとを設けて、上記全てのブラント制御装置の入出力メモリと通信用メモリに共通する第2の共通アドレス領域を設定すると共に、上記第2の共通アドレスを有するデータを上記入出力メモリに書き込む際に、上記入出力メモリと上記通信用メモリの上記第2の共通アドレスに同時に書き込む第2の書込手段と、上記通信用メモリに書き込まれたデータを他のブラント制御システムの通信用メモリの上記第2の共通アドレスに書き込む第2の通信手段と、他のブラント制御システムが自己の通信用メモリに書き込まれたデータを必要とするときに、自己の入出力メモリを介することなく直接上記自己の通信用メモリの上記第2の共通アドレスから読み出す第2の読出手段を備えたことを特徴とするブラント制御システム。

【請求項3】 計算機能を有する複数のブラント制御装置を通信ラインにより接続したブラント制御システムにおいて、上記各ブラント制御装置は主メモリと上記通信ラインを介してデータの授受を行うための通信用メモリとブラントの入出力信号を格納する入出力メモリとを設けて、上記全てのブラント制御装置の主メモリと通信用メモリに共通する第1のアドレス領域を設定すると共に、上記全てのブラント制御装置の入出力メモリと通信用メモリに共通する第2のアドレス領域を設定し、上記第1の共通アドレスを有するデータを上記主メモリに書き込む際に、上記主メモリと上記通信用メモリの上記第1の共通アドレスに同時に書き込む第1の書込手段と、上記通信用メモリに書き込まれたデータを他のブラント制御システムの通信用メモリの上記第1の共通アドレス

に書き込む第2の通信手段と、他のブラント制御システムが自己の通信用メモリに書き込まれたデータを必要とするときに、自己の主メモリを介することなく直接上記自己の通信用メモリの上記第1の共通アドレスから読み出す第1の読出手段を備えると共に、上記第2の共通アドレスを有するデータを上記入出力メモリに書き込む際に、上記入出力メモリと上記通信用メモリの上記第2の共通アドレスに同時に書き込む第2の書込手段と、上記通信用メモリに書き込まれたデータを他のブラント制御システムの通信用メモリの上記第2の共通アドレスに書き込む第2の通信手段と、他のブラント制御システムが自己の通信用メモリに書き込まれたデータを必要とするときに、自己の入出力メモリを介することなく直接上記自己の通信用メモリの上記第2の共通アドレスから読み出す第2の読出手段を備えたことを特徴とするブラント制御システム。

【請求項4】 請求項1または請求項3のブラント制御システムにおいて、主メモリと通信用メモリの第1の共通アドレス領域の内に、使用するソフトウェア単位で共通アドレス領域を設定し、上記ソフトウェアを実行する際は、上記ソフトウェア単位の共通アドレス領域を用いてデータの授受を行うようにしたことを特徴とするブラント制御システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はブラントの各種制御対象を制御する制御装置に関するものである。

【0002】

【従来の技術】図9及び図10は例えば三菱電機株式会社1992年9月作成「三菱統合制御システムMELPLAC650システム概要書」に示された従来のシステムであり、図9はブラント制御システムの構成図、図10はデータの流れを示す図である。

【0003】次に動作について説明する。ブラント制御装置1aは制御ユニット2と通信制御ユニット3から構成される。制御ユニット2内には中央処理部4、ブラント制御用記憶部5、外部入出力部6、が共有バス10で接続され、また、通信制御ユニット3内にある通信用記憶部7が共有バス10で接続されている。また通信用記憶部7は別の内部バス11で通信機能部8と接続され、通信ライン9により他ブラント制御装置1bと接続される。

【0004】図2はブラント制御装置内におけるデータの流れを示す。

(1) 中央処理部4はブラント制御装置1aに接続された入出力装置(図示せず)から入力されたデータを外部入出力部6内の入出力記憶部16に格納して、その格納したデータを読み取る①。

(2) ソフトウェア処理によりその処理結果をブラント制御用記憶部5に格納する②。

【0005】(3) 他ブラント制御装置1bにデータを送信する場合、中央処理部4は当該データを通信用記憶部7に転送する③。

(4) 通信用記憶部7のデータは通信機能部8により、他ブラント制御装置1bの通信用記憶部7に送信される④。

【0006】ここで、通信用記憶部7のアドレスは、接続された全ブラント制御装置に共通である機能を持つ。図10で例示するようにアドレスは「000」から「400」として共通アドレスとしている。この為、あるブラント制御装置において、通信用記憶部7上の任意アドレスに格納されたデータは他ブラント制御装置においても、本アドレスと同一アドレスをアクセスすることにより、本データを読み出すことが出来る。

【0007】なお、一般にデジタル制御装置ではデータの量子化を確保する為、ブラント制御用データ処理時は一旦通信用記憶部7にあるデータをブラント制御用記憶部5に格納後、処理される。従って、他ブラント制御装置1bでは通信用記憶部7に格納されたデータを定周期で読み出し、ブラント制御用記憶部に格納する⑤。そして、他のブラント制御装置1bでソフトウェア処理をする時は、ブラント制御用記憶部5から読み出して処理する⑥。

【0008】

【発明が解決しようとする課題】従来のブラント制御装置は以上のように構成されているので、中央処理部4は演算処理したデータをブラント制御用記憶部5に格納したあと、通信制御ユニット3内の通信用記憶部7に移動する処理が必要である。また、他ブラント制御装置1bは全システムで共有である通信用記憶部を経由してのみ、本ブラント制御装置1aとデータを交信しなければならないなどの問題点があった。

【0009】この発明は上記のような課題を解決するためになされたもので、ブラント制御装置は通信用記憶部への書き込みおよび読み出し動作を簡素化する共に、他ブラント制御装置のデータ記憶部を仮想的（ネットワークを経由）に自ブラント制御装置のデータ記憶部としてアクセス出来る機能を提供することを目的とする。

【0010】

【課題を解決するための手段】

(1) この発明に係るブラント制御システムは、計算機能部を有する複数のブラント制御装置を通信ラインにより接続したブラント制御システムにおいて、上記各ブラント制御装置は主メモリと上記通信ラインを介してデータの授受を行うための通信用メモリとを設けて、上記全てのブラント制御装置の主メモリと通信用メモリに共通する第1の共通アドレス領域を設定すると共に、上記第1の共通アドレスを有するデータを上記主メモリに書き込む際に、上記主メモリと上記通信用メモリの上記第1の共通アドレスに同時に書き込む第1の書込手段と、上記通信用メモリに書き込まれたデータを他のブラント制

システムの通信用メモリの上記第1の共通アドレスに書き込む第1の通信手段と、他のブラント制御システムが自己の通信用メモリに書き込まれたデータを必要とするときに、自己の主メモリを介することなく直接上記自己の通信用メモリの上記第1の共通アドレスから読み出す第1の読出手段を備えたものである。

【0011】(2) また、計算機能を有する複数のブラント制御装置を通信ラインにより接続したブラント制御システムにおいて、上記各ブラント制御装置はブラントの入出力信号を格納する入出力メモリと上記通信ラインを介してデータの授受を行うための通信用メモリとを設けて、上記全てのブラント制御装置の入出力メモリと通信用メモリに共通する第2の共通アドレス領域を設定すると共に、上記第2の共通アドレスを有するデータを上記入出力メモリに書き込む際に、上記入出力メモリと上記通信用メモリの上記第2の共通アドレスに同時に書き込む第2の書込手段と、上記通信用メモリに書き込まれたデータを他のブラント制御システムの通信用メモリの上記第2の共通アドレスに書き込む第2の通信手段と、他のブラント制御システムが自己の通信用メモリに書き込まれたデータを必要とするときに、自己の入出力メモリを介することなく直接上記自己の通信用メモリの上記第2の共通アドレスから読み出す第2の読出手段を備えたものである。

【0012】(3) また、計算機能を有する複数のブラント制御装置を通信ラインにより接続したブラント制御システムにおいて、上記各ブラント制御装置は主メモリと上記通信ラインを介してデータの授受を行うための通信用メモリとブラントの入出力信号を格納する入出力メモリとを設けて、上記全てのブラント制御装置の主メモリと通信用メモリに共通する第1のアドレス領域を設定すると共に、上記全てのブラント制御装置の入出力メモリと通信用メモリに共通する第2のアドレス領域を設定し、上記第1の共通アドレスを有するデータを上記主メモリに書き込む際に、上記主メモリと上記通信用メモリの上記第1の共通アドレスに同時に書き込む第1の書込手段と、上記通信用メモリに書き込まれたデータを他のブラント制御システムの通信用メモリの上記第1の共通アドレスに書き込む第2の通信手段と、他のブラント制御システムが自己の通信用メモリに書き込まれたデータを必要とするときに、自己の主メモリを介することなく直接上記自己の通信用メモリの上記第1の共通アドレスから読み出す第1の読出手段を備え、上記第2の共通アドレスを有するデータを上記入出力メモリに書き込む際に、上記入出力メモリと上記通信用メモリの上記第2の共通アドレスに同時に書き込む第2の書込手段と、上記通信用メモリに書き込まれたデータを他のブラント制御システムの通信用メモリの上記第2の共通アドレスに書き込む第2の通信手段と、他のブラント制御システムが自己の通信用メモリに書き込まれたデータを必

要とするときに、自己の入出力メモリを介することなく直接上記自己の通信用メモリの上記第2の共通アドレスから読み出す第2の読出手段を備えたものである。

【0013】(4) また、上記(1)または(3)において、主メモリと通信用メモリの第1の共通アドレス領域の内に、使用するソフトウェア単位で共通アドレス領域を設定し、上記ソフトウェアを実行する際は、上記ソフトウェア単位の共通アドレス領域を用いてデータの授受を行うようにしたものである。

【0014】

【発明の実施の形態】

実施の形態1。以下、この発明の実施の形態1を図に基づいて説明する。図1はこの実施の形態1のブラント制御システムの構成図であり、図2はデータの流れを示す図であり、図3は主制御部の動作のフローチャートであり、図4はメモリのアドレスの関係を示す図である。

【0015】図1では制御ユニット2内に新たに専用内部バス12を設け、ブラント制御用記憶部(主メモリ)5と通信用記憶部(通信用メモリ)7とを接続する。CPUを有する中央処理部4は通信記憶部7、及びブラント制御用記憶部5に各々アクセスできるが、ブラント制御用記憶部5にある特定アドレス範囲をアクセスすると、自動的に通信用記憶部7に同一データが格納される。なお、これら2つの記憶部に格納されたデータの同一性はパリティ検定等により容易に実施することができる。

【0016】図2、図3によりこのシステムのデータの流れを説明する。

(1) 中央処理部4はブラント制御装置1aに接続された入出力装置からのデータを外部入出力部6内の入出力記憶部16に格納する(ステップS1)。

(2) 中央処理部4は入出力記憶部16に格納したデータを読み取る①(ステップS2)。

【0017】(3) 中央処理部4はソフトウェア処理を実行し、その処理結果をブラント制御用記憶部5に格納する②(ステップS3)。

(4) 中央処理部4は通信を必要とする処理結果を自動的に通信用記憶部7にも同時に書き込む③(ステップS4～S5)。ここでブラント制御用記憶部5のデータの、外部へ通信する必要のあるデータは特定範囲のアドレスとし、このアドレスは通信用記憶部7のアドレスと共通のアドレスとしておく。

【0018】図2で示すように、ブラント制御用記憶部5のアドレス「200」から「600」を特定範囲のアドレスとし、通信用記憶部7のアドレスも「200」から「600」としておく。従って、ソフトウェアは通信用記憶部7のアドレスを意識する必要はない。それ故、図3のフローチャートでは、ソフトウェアでの処理結果をブラント制御用記憶部5へ格納した際(ステップS3)、特定のアドレスか否かを判定し(ステップS

4)、特定アドレスであれば、通信用記憶部5へ格納する(ステップS5)。特定アドレスでなければ通信不要のデータであるので終了する。

【0019】(4) 図3の主制御部の動作のフローの後、通信機能部8は、通信用記憶部7に書き込まれたデータを他ブラント制御装置1bに送信し、その送信データは通信用記憶部7に格納される④。

(5) 他ブラント制御装置1bの通信用記憶部7に格納されたデータは必要に応じて読み出されソフトウェア処理が行われる⑤。

【0020】ここで、通信記憶部7のアドレスは、接続された全ブラント制御装置に共通である機能を持つ。この為、あるブラント制御装置において、通信記憶部上の任意アドレスに格納されたデータは他ブラント制御装置においても、本アドレスと同一アドレスをアクセスすることにより、本データを読み出すことができる。

【0021】この実施の形態1の図2と従来の図10とのデータの流れを比較すると、図2は③と⑤の処理が省略されている。従って、処理動作を簡素化して処理速度を向上することができる。

【0022】アドレスとデータ処理との関係の詳細を図4で説明する。ブラント制御装置1aと1bのブラント制御用記憶部5、通信用記憶部7共、同一データ(同一種類のデータ)に対して共通のアドレスとする。図4の例では、アドレス200～600を通信を必要とするデータに対応するアドレスとし、ブラント制御装置1aの中央処理部4のCPUをCPU1、ブラント制御装置1bの中央処理部4のCPUをCPU2とすると、CPU1にはアドレス200～399、CPU2にはアドレス400～600とする。

【0023】CPU1が例えばアドレス280に対応するデータを格納する場合、ブラント制御用記憶部5のアドレス280へ書き込むと共に、通信用記憶部7のアドレス280にも自動的に書き込まれる。通信用記憶部7のアドレス280に書き込まれたデータは、通信機能部8によりブラント制御装置1bの通信用記憶部7に書き込まれる。ブラント制御装置1bの通信用記憶部7に書き込まれたデータは、必要に応じて読み出され処理される。

【0024】一方、CPU2が例えばアドレス501に対応するデータを格納する場合は、図示するように上記アドレス280と反対方向に書き込みが行われる。以上のようにこの実施の形態によれば、アドレスの共通化と通信用記憶部への直接書き込みとの組み合わせ、また、読み出す場合は通信用記憶部から直接読み出しを可能としたので、処理動作を簡素化して処理速度の向上が図られる。

【0025】実施の形態2。この実施の形態は、入出力データを格納する場合、入出力データで通信を必要とするデータについても入出力記憶部と通信用記憶部とのア

ドレスを共通にして同時に書き込むようにしたものである。

【0026】図5はこの実施の形態のデータの流れを示すもので、通信用記憶部7を図1の外部入出力部6内の入出力記憶部（入出力メモリ）16に重複（共通アドレス化）させると、通信用記憶部7が全システム共通のアドレスを持つ機能を有するようになり、当該ブラント制御装置は他ブラント制御装置に接続されている入出力装置を、自ブラント制御装置に仮想的に直接接続されているものとしてアクセスすることができるようになる。

【0027】つまり入出力記憶部16に格納するデータの内、通信を必要とするデータに対しては通信記憶部7とアドレスを共有化しておくことによりデータの同時書き込みが実現でき、また、読み出すときは通信記憶部7から直接読み出すことができる。従って、より処理動作を簡素化して処理速度の向上が図られる。

【0028】実施の形態3. 従来ではブラント制御装置に搭載された複数のソフトウェアが、各ソフトウェアに共通の空間である通信用記憶部にアクセスすることにより、他ブラント制御装置のソフトウェアとデータの授受を実施していた為、システム全体として通信用記憶部を管理する必要が生じ、例えば複数のソフトウェアの内、最も処理が遅いソフトウェアに影響されることがある。

【0029】これを解決するために、図6のようにソフトウェア処理単位でアドレスを割り当ててブラント制御用記憶部5と通信用記憶部のアドレスを共通にする。例えば、ソフトウェア処理1にはアドレス250～300を、ソフトウェア処理2にはアドレス420～480を、ソフトウェア処理3にはアドレス340～380とし、ブラント制御用記憶部5と通信用記憶部7のアドレスをシステム全体で共通にする。

【0030】なお、図6に示すソフトウェア処理1～3は全てブラント制御装置1aのCPU1が処理するアドレスの部分であり、図4に示すCPU1のアドレスを更に分割して割り当てるようにしたものである。

【0031】ソフトウェア処理する場合は、ソフトウェア処理1は相手側のソフトウェア処理2とアクセスして処理し、ソフトウェア処理2は相手側のソフトウェア処理3とアクセスして処理し、ソフトウェア処理3は相手側のソフトウェア処理1とアクセスして処理を行う。

【0032】以上のようにこの実施の形態は、各々のソフトウェアが独自に管理している占有空間をアクセスすることにより、他ブラント制御装置のソフトウェアとデータの授受を実施することができ、上記問題を解決できる等、分散システムにおいて、ソフトウェアレベルで通信機能を有するブラント制御用記憶部を固有にもつことができる。

【0033】実施の形態4. この実施の形態は、階層的に接続されたブラント制御システムのアドレスを共通化するものである。図7はシステムの構成図であり、図8

はブラント制御用記憶部5のアドレスを図示したものである。

【0034】図7に示す通り、通信ラインにより階層的に接続されたシステムにおいて、図8のように、ブラント制御用記憶部の共通アドレス5000～10000と、通信用記憶部のアドレスとを同一にする。図7の階層1グループに接続されているブラント制御装置1a、1bは、階層1で共通のアドレスを有する通信用記憶部（図示せず）と、階層2で共通のアドレスを持つブラント制御装置1cの通信用記憶部（図示せず）のアドレスを重複させているので、階層2に接続された入出力装置を仮想的に直接アクセスすることが可能になる機能を提供できる。

【0035】実施の形態5. 実施の形態4は複数のブラント制御システムを結合した例を示したが、リング状の通信ライン等のネットワーク上に接続された複数のブラント制御装置のシステムにも適用することができる。また、ブラント制御装置について、説明したがブラントの監視や監視制御の装置に適用できることは言うまでもない。

【0036】

【発明の効果】以上のようにこの発明によれば、アドレスの共通化と通信用記憶部への直接書き込み、読み出しによりシステム全体の処理動作の簡素化と処理速度の向上が図られ効率的なブラントの制御監視が実現できる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるブラント制御システムの構成図である。

【図2】 この発明の実施の形態1によるデータの流れを示す図である。

【図3】 この発明の実施の形態1による動作処理のフローチャートである。

【図4】 この発明の実施の形態1によるメモリのアドレスの関係を示す図である。

【図5】 この発明の実施の形態2によるデータの流れを示す図である。

【図6】 この発明の実施の形態3によるメモリのアドレスを示す図である。

【図7】 この発明の実施の形態4によるブラント制御システムの構成図である。

【図8】 この発明の実施の形態4によるメモリのアドレスを示す図である。

【図9】 従来のシステム構成図である。

【図10】 従来のデータの流れを示す図である。

【符号の説明】

1 a, 1 b	ブラント制御装置	2	制御ユニット
3	通信制御ユニット	4	中央処理部
5	ブラント制御用記憶部（主メモリ）		
6	外部入出力部	7	通信用記憶部（通信用メモリ）

8 通信機能部

9 通信ライン

* 12 専用内部バス

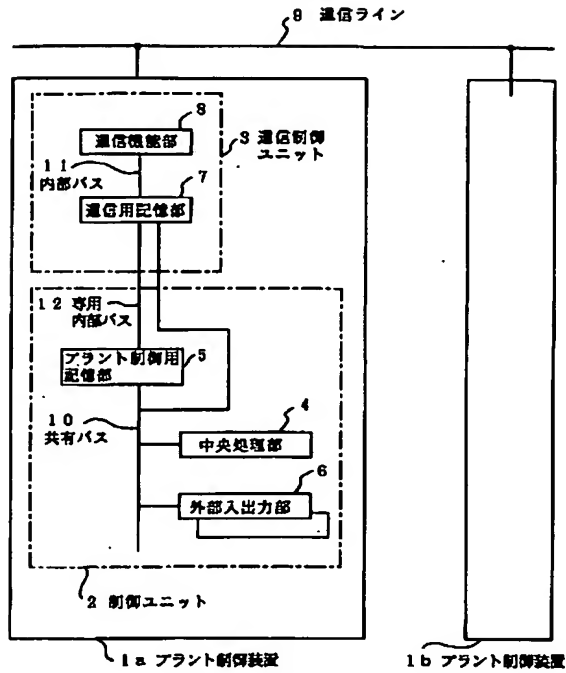
16 入出力記憶

10 共有バス

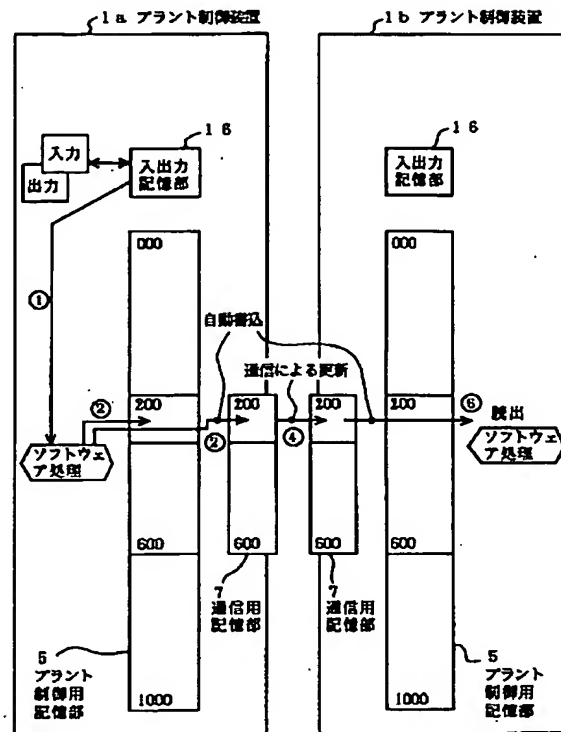
11 内部バス

* 部(入出力メモリ)

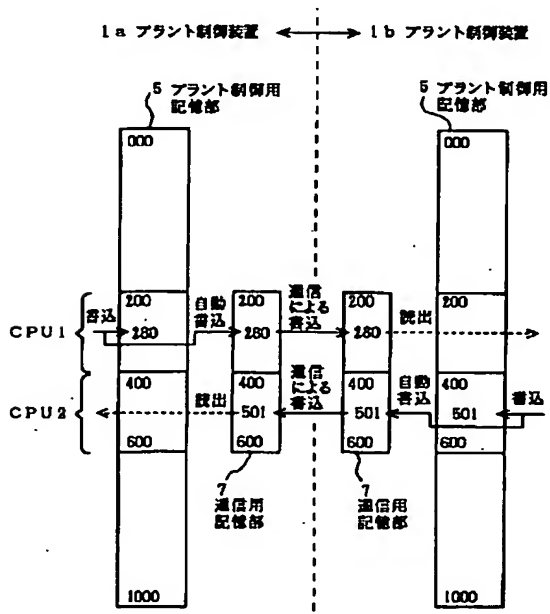
【図1】



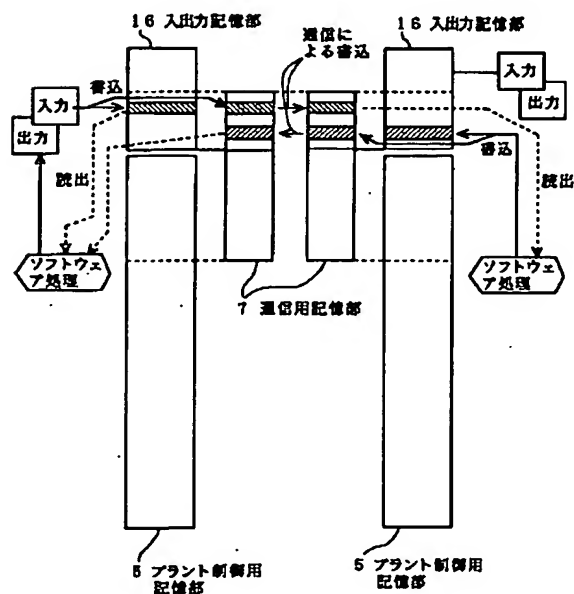
【図2】



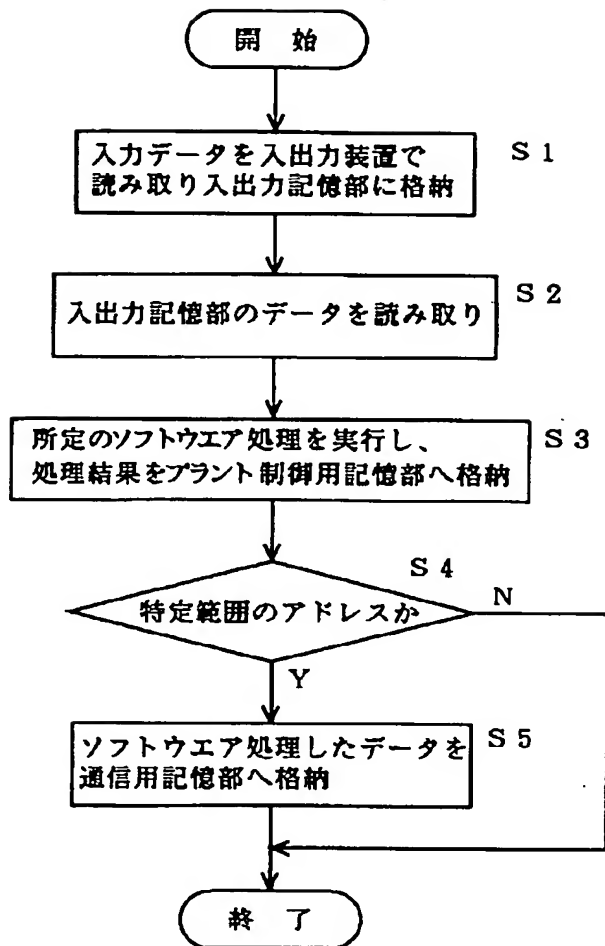
【図4】



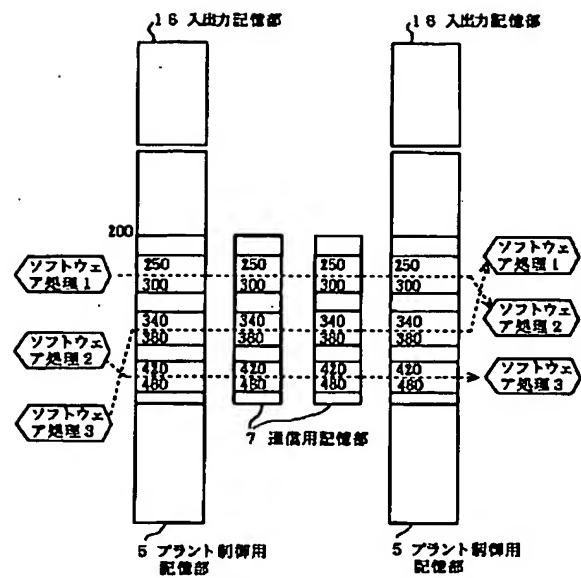
【図5】



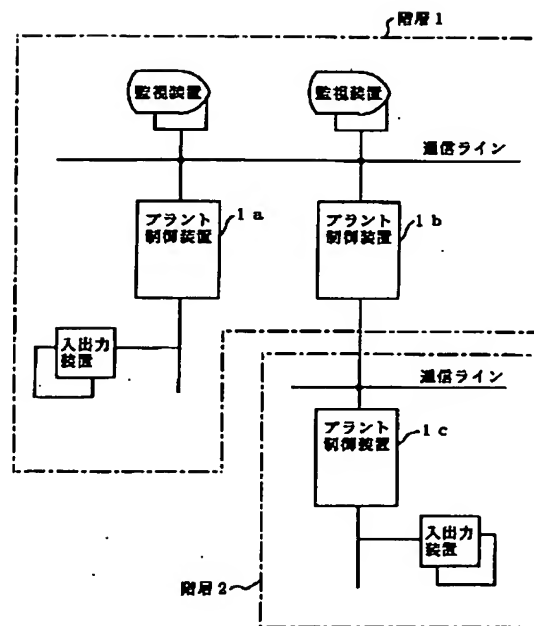
【図3】



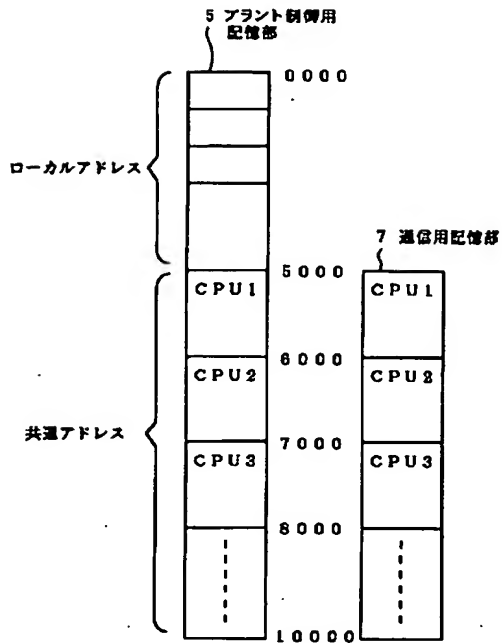
【図6】



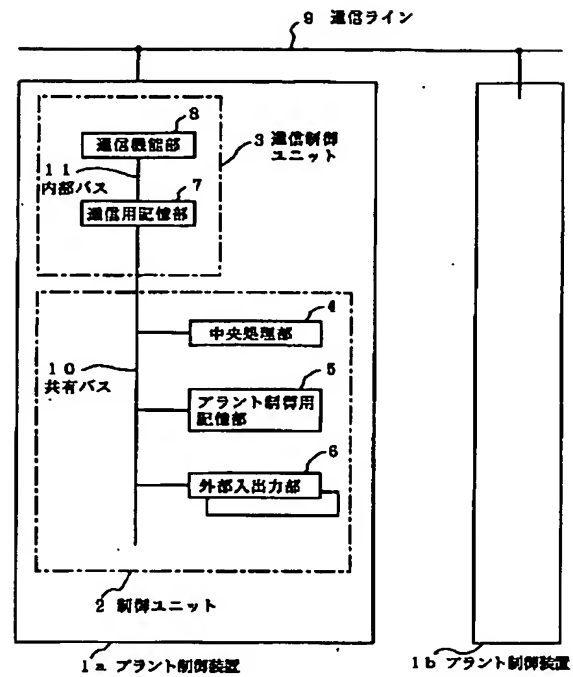
【図7】



【図8】



【図9】



【図10】

